

BI-DIRECTIONAL THYRISTOR ELEMENT

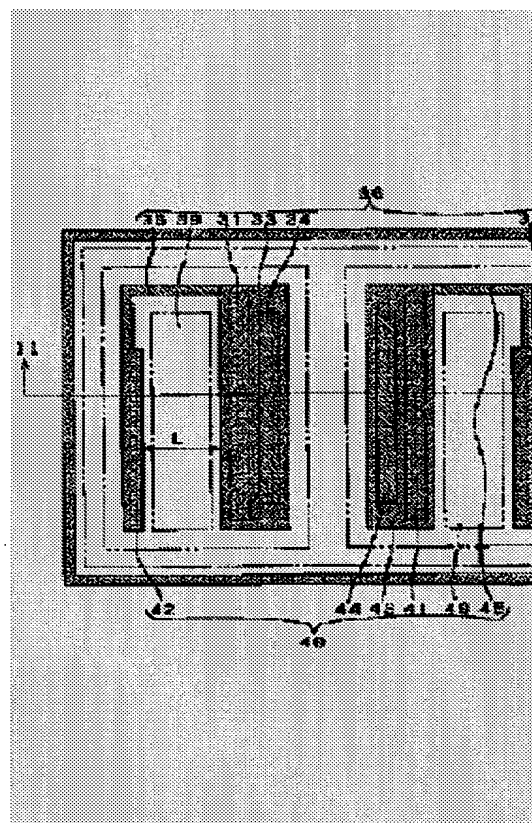
Patent number: JP10242449
Publication date: 1998-09-11
Inventor: MARIYAMA MITSURU
Applicant: SHARP CORP
Classification:
- International: H01L29/74; H01L29/747; H01L31/111
- european:
Application number: JP19970039407 19970224
Priority number(s):

Also published

US60
DE19**Abstract of JP10242449**

PROBLEM TO BE SOLVED: To improve the amount of resistance against noise and at the same time increase an effective light reception area without increasing a junction capacity and hence improve a light sensitivity by specifying the interval between the P gate diffusion region of one thyristor and the anode region of the other thyristor.

SOLUTION: A gap between one P-gate diffusion regions 33 and 43 of a bi-directional thyristor 30 and the other anode diffusion regions 42 and 32 is set to L, which is equal to or more than $40\mu\text{m}$ and is equal to or less than $1,000\mu\text{m}$. More specifically, by increasing the distance of a path where a current flows, an electrical resistance that is parasitic in an N-type silicon substrate is increased and the resistance against noise of a delay mode is improved. When the spacing L is equal to or more than $40\mu\text{m}$, the resistance against noise becomes fully practical. Also, when the spacing L becomes excessively larger, a chip area increases and a manufacturing cost increases. However, when it is suppressed to $1,000\mu\text{m}$ or less, the chip area can be kept within a practical range by carefully designing the layout of each diffusion region and an electrode.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-242449

(43) 公開日 平成10年(1998) 9月11日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 29/74
29/747
31/111

H 0 1 L 29/74
29/747
31/10

E

F

審査請求 未請求 請求項の数 7 O L (全 10 頁)

(21) 出願番号

特願平9-39407

(22) 出願日

平成9年(1997) 2月24日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 鞠山 満

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

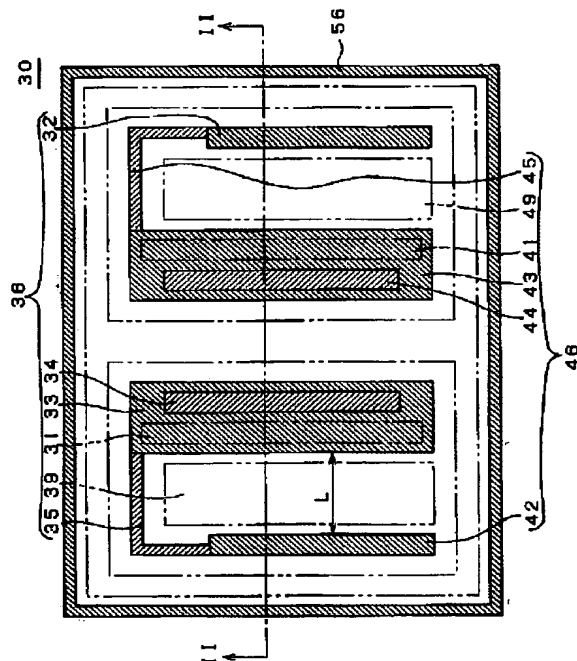
(74) 代理人 弁理士 西教 圭一郎

(54) 【発明の名称】 双方向サイリスタ素子

(57) 【要約】

【課題】 光感度の低下を招くことなく、ノイズ耐量を増加させ、さらに光感度も向上させる。

【解決手段】 同一のN型シリコン基板29上に形成される双方向ホトサイリスタ30は、一方のサイリスタ36のPゲート拡散領域33と対向する他方のサイリスタ46のアノード拡散領域42との間の距離Lを40～1000μm、好ましくは70～600μmとして、寄生する抵抗や接合容量による微分回路に基づくノイズによる誤動作を低減する。Pゲート拡散領域33と、アノード拡散領域42との間のフィールド部には、SiO₂膜59を介して酸素ドーパ半絶縁膜61が形成され、A1配線58は取り除かれてフィールド受光部39を形成する。フィールド受光部39は、Pゲート拡散領域33に形成されるPゲート受光部31のような接合容量を伴わないので、dV/dt耐量の低下を招くことなく光感度の向上を図ることができる。



【特許請求の範囲】

【請求項1】 同一の半導体基板上に、一対のプレーナ型PNPNラテラル構造のサイリスタが形成される双方向サイリスタ素子において、

一方のサイリスタのPゲート拡散領域と、他方のサイリスタのアノード拡散領域との間に、 $40\mu\text{m}$ 以上で $1000\mu\text{m}$ 以下の範囲の間隔が設けられることを特徴とする双方向サイリスタ素子。

【請求項2】 前記範囲が $70\mu\text{m}$ 以上で $600\mu\text{m}$ 以下であることを特徴とする請求項1記載の双方向サイリスタ素子。

【請求項3】 光トリガ機能を備えることを特徴とする請求項1または2記載の双方向サイリスタ素子。

【請求項4】 前記一方のサイリスタのPゲート拡散領域と、前記他方のサイリスタのアノード拡散領域との間のフィールド上に、受光領域が形成されることを特徴とする請求項3記載の双方向サイリスタ素子。

【請求項5】 前記半導体基板はシリコン基板であり、前記受光領域の表面に酸化シリコン膜を介してポリシリコン膜が形成されることを特徴とする請求項4記載の双方向サイリスタ素子。

【請求項6】 前記半導体基板はシリコン基板であり、前記受光領域の表面に酸化シリコン膜を介して酸素ドーブ半絶縁膜が形成されることを特徴とする請求項4記載の双方向サイリスタ素子。

【請求項7】 ゼロクロス機能を備えることを特徴とする請求項1～6のいずれかに記載の双方向サイリスタ素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、商用交流電源ラインなどで使用される双方向サイリスタ素子、特に光照射によってトリガ信号を与えることができる双方向ホトサイリスタのチップ構造に関する。

【0002】

【従来の技術】従来から、図9～図11に示すような同一半導体チップ、たとえばN型シリコン基板1などの上に双方向ホトサイリスタ2を形成し、光照射によってゲート・トリガ信号を与えて光制御する双方向ホトサイリスタ2が、いわゆるソリッド・ステート・リレー（以下、「SSR」と略称することもある）として広く用いられている。図9は概略的な平面断面図、図10は図9の切断面線X-Xから見た断面図、図11は双方向ホトサイリスタ2としての等価回路図をそれぞれ示す。なお、図9は図10の切断面線I-X-I-Xから見た断面図に相当する。

【0003】N型シリコン基板1は、不純物濃度が一般に $10^{13}\sim 10^{15}\text{cm}^{-3}$ であり、双方向ホトサイリスタ2が形成される部分の周囲にはチャネルストップ領域6が設けられる。N型シリコン基板1の裏面には、N型拡

散層7が設けられる。チャネルストップ領域6およびN型拡散層7では、N型の不純物をN型シリコン基板1よりも高濃度で拡散させて形成される。N型シリコン基板1の表面には、電気的な接続用にA1配線8が形成され、電気的な絶縁が必要な部分には、 SiO_2 （酸化珪素）膜9と、さらにその上に酸素ドーブ半絶縁膜10を形成される。

【0004】双方向ホトサイリスタ2として、光信号を入力するために、Pゲート受光部11、21が形成され、この部分ではA1配線8が除去されて開口される。N型シリコン基板1の表面には、P型のアノード拡散領域12、22と、このアノード拡散領域12、22に対向するP型のPゲート拡散領域13、23とが設けられている。Pゲート受光部11、21は、Pゲート拡散領域13、23に設けられる。Pゲート拡散領域13、23の内部には、N型のカソード拡散領域14、24が形成される。Pゲート拡散領域13、23と間隔Lを隔てて配置されるアノード拡散領域22、12との間には、ゲート抵抗領域15、25がそれぞれ形成される。このようにしてP型のアノード拡散領域12、22、N型シリコン基板1、P型のPゲート拡散領域13、23およびN型のカソード拡散領域14、24によって、横型（ラテラル）のPNPN型で、ゲート抵抗領域15、25を有する逆阻止サイリスタ16、26がそれぞれ形成される。双方向ホトサイリスタ2は、逆阻止サイリスタ16、26がそれぞれチャネルchlおよびチャネルch2として、相互に逆方向に接続されて形成される。双方向ホトサイリスタ2の表面に、直接光を照射すれば、基本的な光制御型の双方向サイリスタとして動作する。また交流電源を制御する場合に、交流電源のゼロクロス点付近の限られた電圧範囲だけでトリガが可能なゼロクロス機能を備えるようにすることもできる。

【0005】N型シリコン基板1の不純物濃度は、前述のように $10^{13}\sim 10^{15}\text{cm}^{-3}$ であり、アノード拡散領域12、22やPゲート拡散領域13、23のようなP型拡散領域はボロン（B）などを不純物として、その濃度は $10^{13}\sim 10^{19}\text{cm}^{-3}$ であり、カソード拡散領域14、24などのN型拡散領域は、リン（P）などを不純物として、その濃度は 10^{19}cm^{-3} 以上にそれぞれ設定される。また、アノード拡散領域12、22とPゲート拡散領域13、23との間隔Lは、 $15\sim 30\mu\text{m}$ 程度である。

【0006】一方のサイリスタ16のアノード拡散領域12と他方のサイリスタ26のカソード拡散領域24とは、A1配線8によってN型シリコン基板1の表面にそれぞれ電気的に取り出され、双方向ホトサイリスタ2を収納するパッケージに設けられるフレーム端子に、電極T1として接続するワイヤ配線で並列に接続される。一方のサイリスタ16のカソード拡散領域14と、他方のサイリスタ26のカソード拡散領域24とは、同様にし

てワイヤによって電極T2に電氣的に接続される。SiO₂膜9および酸素ドーパ半絶縁膜10は、パッシベーション膜として使用される。

【0007】図11に示すように、各サイリスタ16、26には、等価的にPNPトランジスタ17、27とNPNトランジスタ18、28とがそれぞれ形成され、PNPトランジスタ17、27およびNPNトランジスタ18、28のベース・コレクタ間には接合容量C_oが寄生的に形成される。

【0008】以上示したような横型の双方向ホトサイリスタ2には、光感度をより高感度にするという要請と、ノイズに対して誤点弧を起こさないという耐ノイズ性の向上とが要望されている。たとえば特公平3-37746には、複雑な工程を用いずに急峻なノイズによる誤動作を防ぎ、光感度を向上させることができる先行技術が開示されている。

*

$$i_D = \frac{dQ}{dt} = \frac{d(C_o V)}{dt} = C_o \frac{dV}{dt} + V \frac{dC_o}{dt} \quad \dots (1)$$

【0011】ここでC_oを一定と仮定すると、第1式はさらに次の第2式のように変形される。

*【0012】

※20 【数2】

$$i_D = C_o \frac{dV}{dt} \quad \dots (2)$$

【0013】この結果、dV/dtの値が大きいと変位電流i_Dが増大し、誤点弧しやすくなることが判る。つまり、サイリスタ16、26のゲート電圧V_G

★は、第2式から次の第3式のように表され、

【0014】

★ 【数3】

$$V_G = i_D R_{GK} \approx C_o R_{GK} \frac{dV}{dt} \quad \dots (3)$$

【0015】ゲート電圧V_Gの値がサイリスタ16、26の活性電圧V_{AK}を超えると誤点弧することになる。

【0016】ノイズによって誤点弧する第2のモードとして、パルス状のノイズ電圧が立下ってOFFとなった後、数十μs遅れてPゲートに特徴的な電圧が発生し、これがトリガ電流を生じるように作用し、誤動作するモードがある。このモードは、遅れ電圧モードとして示す。

【0017】図12～図14は、遅れ電圧モードによって誤動作が生じるモードとして推定される原因および関連する構成を示す。図12に示すように、一方のサイリスタ16のアノード拡散領域12をアノードAとして正の電圧を与え、カソード拡散領域14をカソード電極Kとして接地すると、他方のサイリスタ26のアノード拡散領域22は接地されて逆バイアス状態となる。一方のアノード領域12とPゲート拡散領域13との間のN型シリコン基板1の電気抵抗を等価的にR1とし、一方のアノード拡散領域12から他方のアノード拡散領域22までのN型シリコン基板1の等価的な抵抗値をR2とする。N型シリコン基板1とP型のアノード拡散領域12、Pゲート拡散領域13、アノード拡散領域22との間の接合容量をそれぞれC1、C2、C4とする。Pゲート拡散領域13とカソード拡散領域14との間の接合

容量をC3とする。ゲート抵抗領域15に形成されるゲート抵抗をR_{GK}とすると、図13に示すように、等価的な微分回路が寄生的に形成されることが判る。この入力側に尖頭値が2000V(max)のノイズパルスが重畳している入力電圧V_{in}を印加すると、Pゲート拡散領域13に形成されるPゲートP_Gに表れる出力電圧V_{out}は、ノイズパルスの立上りおよび立下りに対応する微分出力と、立下り後一定時間経過してからの遅れ電圧とが、図14に示すように発生する。図14の上段は、図13の入力電圧V_{in}の変化V1(V)を示し、時刻t=0からt=1までパルス幅が1μsで尖頭値が2000Vのノイズが入力されると、図14の下段に示すように出力電圧V_{out}のV2(V)は、時刻t=0およびt=1にそれぞれ立上りおよび立下りに対応する微分波形が出力され、時刻t=1.5付近以降に遅れ電圧が発生する。

【0018】dV/dtモードのノイズ耐量の向上については、一般的にPゲート拡散領域13、23の接合容量C_oを減少させ、ゲート抵抗R_{GK}あるいはNPNトランジスタ18、28の電流増幅率h_{FE}を抑制する等の方法が採られている。しかしながら、Pゲート拡散領域13、23の接合容量C_oの減少は、Pゲート受光部11、21による受光領域の減少につながり、またゲート

抵抗 G_{ex} およびNPNトランジスタの h_{fe} 低減は、ホトサイリスタとしての光感度の低下を招く。すなわち、一般的にはノイズ耐量と光感度との間にはいわゆるトレードオフの関係があり、一方を向上させようとするとも他方が劣化してしまう。前述の特公平3-237746の先行技術では、ノイズ耐量と光感度とを共に向上させる工夫が開示されている。

【0019】近年、SSRは、低消費電力化あるいはマイクロコンピュータによる直接駆動を可能とする要請があり、高感度化の要望が強い。最小入力トリガ電流 I_{FT} が約5mAとなるような高感度の範囲で、相反するノイズ耐量との両立を図り、しかも半導体チップとしての面積縮小も含むコスト低減が最大の課題となっている。またノイズによる誤動作の原因としての遅れ電圧モードについては、この現象を指摘し、あるいは説明している文献等は皆無である。

【0020】本発明の目的は、遅れモードを含むノイズ耐量を向上し、さらに接合容量を増加させることなく有効受光面積を大きくして光感度を高めることができる双方向サイリスタ素子を提供することである。

【0021】

【課題を解決するための手段】本発明は、同一の半導体基板上に、一対のプレーナ型NPNラテラル構造のサイリスタが形成される双方向サイリスタ素子において、一方のサイリスタのPゲート拡散領域と、他方のサイリスタのアノード拡散領域との間に、40 μ m以上で1000 μ m以下の範囲の間隔が設けられることを特徴とする双方向サイリスタ素子である。本発明に従えば、一方のサイリスタのPゲート拡散領域と他方のサイリスタのアノード拡散領域との間の間隔が40 μ m以上となるので、従来構造のサイリスタでは15~30 μ m程度であるのに比較し、半導体基板に寄生する抵抗や接合容量の影響を低減し、パルスノイズによる誤動作を低減することができる。間隔は最大で1000 μ m以下であるので、双方向サイリスタ素子の表面で、一方のサイリスタのPゲート拡散領域と他方のサイリスタのアノード拡散領域との間に他方のサイリスタのPゲート拡散領域が形成されるようなかぎ型の構成とすれば、全体の半導体チップの面積を大きくしないでノイズ耐量を向上させることができる。

【0022】また本発明で、前記範囲が70 μ m以上で600 μ m以下であることを特徴とする。本発明に従えば、一方のサイリスタのP拡散領域と他方のサイリスタのアノード拡散領域との間隔が70 μ m以上となるので、ノイズ耐量が2000V以上となる範囲で 사용할ことができる。また間隔も600 μ m以下となるので、半導体チップの大きさも小型化することができる。

【0023】また本発明で、光トリガ機能を備えることを特徴とする。本発明に従えば、光トリガ機能を備えるので双方向ホトサイリスタとして動作し、光感度を低下

させることなく、パルスノイズに対する耐量を増加させることができる。

【0024】また本発明で、前記一方のサイリスタのPゲート拡散領域と、前記他方のサイリスタのアノード拡散領域との間のフィールド上に、受光領域が形成されることを特徴とする。本発明に従えば、間隔を拡げ一方のサイリスタのPゲート拡散領域と他方のサイリスタのアノード拡散領域との間のフィールド上に受光領域を形成するので、接合容量は増加せず、ノイズ耐量を低下させることなく光感度の向上を図ることができる。

【0025】また本発明で、前記半導体基板はシリコン基板であり、前記受光領域の表面に酸化シリコン膜を介してポリシリコン膜が形成されることを特徴とする。本発明に従えば、一方のサイリスタのPゲート拡散領域と他方のサイリスタのアノード拡散領域との間のフィールド上には、酸化シリコン膜を介してポリシリコン膜が形成される。ポリシリコン膜は導電性を有するので、たとえばカソード側に接続し、N型シリコン基板の正面近傍をP型に反転させて空乏層を延びやすくし、耐圧の低下を防ぐとともに受光した際に発生するキャリアを表面の空乏層で集めて、光照射によって発生する光電流を増大させて、接合容量を増大させることなく光感度の向上を図ることができる。

【0026】また本発明で、前記半導体基板はシリコン基板であり、前記受光領域の表面に酸化シリコン膜を介して酸素ドーパント半絶縁膜が形成されることを特徴とする。本発明に従えば、一方のサイリスタのPゲート拡散領域と他方のサイリスタのアノード拡散領域との間のフィールド上には、酸化シリコン膜を介して酸素ドーパント半絶縁膜が形成される。酸素ドーパント半絶縁膜は導電性を有するので、たとえばカソード側に接続し、N型シリコン基板の正面近傍をP型に反転させて空乏層を延びやすくし、耐圧の低下を防ぐとともに受光した際に発生するキャリアを表面の空乏層で集めて、光照射によって発生する光電流を増大させて、接合容量を増大させることなく光感度の向上を図ることができる。

【0027】また本発明は、ゼロクロス機能を備えることを特徴とする。本発明に従えば、双方向サイリスタ素子はゼロクロス機能を備えるので、交流電源の電圧変化のゼロクロス点付近でのみスイッチング動作を行い、電圧が高い状態でスイッチング制御を行う場合のようなノイズ発生を防ぐことができる。

【0028】

【発明の実施の形態】図1および図2は、本発明の実施の一形態として、N型シリコン基板29上に形成する双方向ホトサイリスタ30の基本的な半導体集積回路チップ構造を示す。図1は平面断面図、図2は図1の切断面線I-Iから見た断面図をそれぞれ示す。なお、図1は図2の切断面線I-Iから見た断面図に相当する。Pゲート受光部31、41は、アノード拡散領域32、

42、N型シリコン基板29、Pゲート拡散領域33、43およびカソード拡散領域34、44から構成され、ゲート抵抗領域35、45による抵抗がゲート・カソード間に接続されるPNPN構造の基本構造を有するサイリスタ36、46にそれぞれ設けられる。サイリスタ36、46は、ラテラル（横）型の構造であり、電気的には逆阻止型として動作する。一対のサイリスタ36、46は、逆並列に接続されて、Pゲート受光部31、41から照射される光で制御可能なチャンネルch1、ch2をそれぞれ有する双方向ホトサイリスタ30を構成する。各サイリスタ36、46は、アノード拡散領域32、42、N型シリコン基板29およびPゲート拡散領域33、43からなるPNPトランジスタ37と、N型シリコン基板29、Pゲート拡散領域33、43およびカソード拡散領域34、44からなるNPNトランジスタ38、48とから構成されることがもできる。

【0029】一方のサイリスタ36、46のPゲート拡散領域33、43と他方のサイリスタ46、36のアノード拡散領域42、32との間隔Lは、150 μ mに拡げている。従来構造では、L=15~30 μ mが一般的である。一方のサイリスタ36、46のPゲート拡散領域33、43およびゲート抵抗領域35、45と他方のサイリスタ46、36のアノード拡散領域42、32とに囲まれた部分には、フィールド受光部39、49がそれぞれ形成される。

【0030】N型シリコン基板29の周辺には、N型のチャンネルストップ56が設けられ、裏面側にはN型拡散層57が設けられる。アノード拡散領域32、42と、カソード拡散領域34、44とには、Al配線58が電気的に接合され、アノード電極（A）およびカソード電極（K）をそれぞれ形成する。パッシベーション膜としては、SiO₂膜59と、その上に形成される酸素ドーブ半絶縁膜60とを用い、高耐圧化および高品質化のためのフィールドプレート構造としている。フィールド受光部39、49の表面側では、Al配線58を開口させ、パッシベーション構造として、SiO₂膜59と酸素ドーブ半絶縁膜61とを形成する。酸素ドーブ半絶縁膜61は、各サイリスタ36、46のカソード電極にそれぞれ接続する。N型シリコン基板29、カソード拡散領域34、44、チャンネルストップ56およびN型拡散層57におけるN型不純物の濃度や、アノード拡散領域32、42およびPゲート拡散領域33、43におけるP型不純物の濃度は、図9~図11に示す従来構造で対応する部分と同等である。

【0031】Pゲート受光部31、41は、Pゲート拡散領域33、43にそれぞれ設けられるので、光感度を高めるためには、Pゲート拡散領域33、43を大きくすることが望ましい。しかしながら、Pゲート拡散領域33、43を大きくすることは、接合容量C_oが増大し、dV/dt印加時の変位電流増加に伴ってノイズ耐

量の低下を招く。本実施形態では、Pゲート拡散領域33、43の周辺に、フィールド受光部39、49をそれぞれ設け、ノイズ耐量の低下を招くことなく、光感度の向上を図っている。なお、本実施形態では、高耐圧フィールドプレート構造で使用する酸素ドーブ半絶縁膜60を用いるので、フィールド受光部39、49のパッシベーションも、SiO₂膜59と酸素ドーブ半絶縁膜61を用いて行っているけれども、酸素ドーブ半絶縁膜61に代えて導電性のポリシリコン膜を用いることもできる。また、Al配線58の開口部が50 μ m以下の狭い幅であれば、省略することもできる。

【0032】図3は、フィールド受光部39、49の作用を示す。N型シリコン基板29と、一方のサイリスタ36、46のPゲート拡散領域33、43および他方のサイリスタ46、36のアノード拡散領域42、32がそれぞれ逆バイアスされる場合、N型シリコン基板29の表面付近では、P反転62が生じ、空乏層63が延びやすくなり、耐圧の低下を防ぐことができる。また、受光した際に発生するキャリアを表面の空乏層63で集めて、光照射により発生する光電流I_{ph}を増大させることもできる。

【0033】図4は、本実施形態の双方向ホトサイリスタ30について、一方のPゲート拡散領域33、43と他方のアノード拡散領域42、32との間隔Lに対応するPゲート~逆アノード間距離の変化に対して、パルスノイズ耐量に変化する状態についての試験結果の一例を示す。間隔Lが70 μ m以上であれば、パルスノイズ耐量が2000V以上となり、測定限界を超えてしまう。電流が流れる経路の距離が大きくなれば、N型シリコン基板29内に寄生する電気抵抗が大きくなるので、遅れモードのノイズ耐量が向上する。また、間隔Lが40 μ m以上であれば、パルスノイズ耐量は1500V以上あり、実用上は充分である。間隔Lが大きくなり過ぎると、半導体集積回路を形成するためのチップ面積が増大し、製造コストが上昇する。間隔Lが1000 μ m以下であれば、各拡散領域や電極の配置などを工夫することによって、チップ面積を実用的な範囲に留めることができる。特に、間隔Lが600 μ m以下であれば、チップ面積の増大を防ぐことができる。したがって、間隔Lとしては、40 μ m以上で1000 μ m以下の範囲が好ましい。さらに間隔Lが70 μ m以上で600 μ m以下の範囲であれば、より好ましい。

【0034】図5は、ゲート抵抗R_{gx}の変化に対する光感度I_{ph}が変化する状態についての試験結果の一例を示す。フィールド受光部39、49の無い従来構造と比較すると、同一のゲート抵抗R_{gx}で光感度I_{ph}が30%程度向上している。ゲート抵抗R_{gx}を大きくすれば光感度I_{ph}も上昇するけれども、dV/dtモードのノイズ耐量が低下してしまう。

【0035】図6は、図4および図5に示す試験結果を

9
得るための構成を示す。試験対象の双方向ホトサイリスタ30は、点弧用SSR70の受光側に使用する。点弧用SSR70の発光側には発光ダイオード（以下、「LED」と略称する）71が設けられる。双方向ホトサイリスタ30が導通すると、ゲート抵抗73の両端に発生する電圧がゲート・カソード間に印加され、メイン双方向サイリスタ72のゲートのトリガ信号となって、スイッチング制御することができる。抵抗74およびコンデンサ75の直列回路とバリスタ76とは、サージ吸収用である。メイン双方向サイリスタ72は、交流電源77から負荷78に供給するAC100Vラインの電流の流通角を位相制御する。ノイズ発生器79からは、パルス幅が1 μ sで、尖頭値が0~2000Vの範囲で変化可能なノイズが発生され、ACラインに重畳される。図4のノイズ耐量は、メイン双方向サイリスタ72を誤点弧させるときのノイズ発生器79からのノイズ電圧として測定される。図5の光感度は、メイン双方向サイリスタ72を点弧させるのに必要なLED71に流す電流として測定される。

【0036】図7および図8は、本発明の実施の他の形態としての双方向ホトサイリスタ80の基本的な半導体集積回路チップ構成を示す。図7は平面断面図、図8は図7の切断面線V I I I - V I I I から見た断面図をそれぞれ示す。なお、図7は図8の切断面線V I I - V I I から見た断面図に相当する。また、本実施形態で、図1および図2の実施形態に対応する部分には、同一の参照符を付して重複する説明を省略する。

【0037】本実施形態では、一方のサイリスタ86、96のPゲート拡散領域33、43と他方のサイリスタ96、86のアノード拡散領域42、32との間隔Lの部分に他方のサイリスタ96、86のPゲート拡散領域43、33を配置する。すなわち、N型シリコン基板29の表面には、各サイリスタ86、96のアノード拡散領域32、42とPゲート拡散領域33、43とが隣接して配置される。このようなかぎ型の配置では、半導体チップ面積を大きくすることなく、間隔Lを大きくすることができ、ノイズ耐量を増大させることができる。

【0038】このように間隔Lを大きくしてノイズ耐量の向上を図る考え方は、ホトサイリスタばかりではなく、電気的なトリガ信号によってのみ制御されるサイリスタにも適用することができる。また、同一の半導体チップ上にさらにゼロクロス回路を形成すれば、ゼロクロス機能を備えることもできる。ゼロクロス回路については、本件出願人からも、たとえば特願平8-225425に添付の図1~図3などで具体的な構成を開示している。この構成では、サイリスタの中間層とカソードとの間にスイッチング素子を接続し、印加される交流電圧波形のゼロクロス点付近のみでスイッチング素子を遮断させてサイリスタをトリガ可能とし、ゼロクロス点付近を除いてはスイッチング素子を導通させてサイリスタをト

リガ不能としている。

【0039】

【発明の効果】以上のように本発明によれば、同一の半導体基板上にPNPNラテラル構造として形成される一対のサイリスタのうちの一方のサイリスタのPゲート拡散領域と他方のサイリスタのアノード拡散領域との間の間隔を、従来の双方向サイリスタよりも大きく取るので、ノイズ耐量を向上させることができる。

【0040】また本発明によれば、一方のサイリスタのPゲート拡散領域と他方のサイリスタのアノード拡散領域との間の距離を70 μ m以上で600 μ m以下とするので、ノイズ耐量の向上を図り、半導体チップとしての面積の増大を防ぐことができる。

【0041】また本発明によれば、光トリガ機能を有する双方向サイリスタを、光感度の低下を招くことなくノイズ耐量の向上を図ることができる。

【0042】また本発明によれば、一方のサイリスタのPゲート拡散領域と他方のサイリスタのアノード拡散領域との間の間隔を大きくしてノイズ耐量の向上を図り、この間隔を利用して受光領域を形成することによって光感度の向上も図ることができる。

【0043】また本発明によれば、シリコン基板上に形成されるバッシベーション膜を利用して受光領域を形成し、ポリシリコン膜をカソード側に接続してシリコン基板の表面の導電型を反転させ、空乏層を延ばし、光感度の向上を図ることができる。

【0044】また本発明によれば、酸素ドーパント半絶縁膜を酸化珪素膜を介してシリコン基板上に形成し、光感度の向上を図ることができる。

【0045】また本発明によれば、ゼロクロス機能を備える双方向サイリスタを1つの半導体基板上に形成し、スイッチング制御に伴うノイズ発生を低減することができる。

【図面の簡単な説明】

【図1】本発明の実施の一形態の双方向ホトサイリスタ30の平面断面図である。

【図2】図1の切断面線I I - I I から見た断面図である。

【図3】図1の双方向ホトサイリスタ30の動作状態を示す簡略化した断面図である。

【図4】図1の双方向ホトサイリスタ30の一方のサイリスタ16、26のPゲート拡散領域13、23と、他方のサイリスタ26、16のアノード拡散領域22、12との間の距離と、パルスノイズ耐量との関係についての実験結果を示すグラフである。

【図5】図1の双方向ホトサイリスタ30のようにフィールド受光部39、49を有する場合と、従来の双方向サイリスタのようにフィールド受光部を有しない場合とを比較して、ゲート抵抗 R_{gk} と光感度 I_{FT} との関係についての実験結果を示すグラフである。

11

【図6】図1の双方向ホトサイリスタ30を点弧用SSRに使用した状態を示す電気回路図である。

【図7】本発明の実施の他の形態の双方向ホトサイリスタ30の平面断面図である。

【図8】図7の切断面線V I I I - V I I I から見た断面図である。

【図9】従来からの双方向ホトサイリスタ2の平面断面図である。

【図10】図9の切断面線X - X から見た断面図である。

【図11】図9の双方向ホトサイリスタ2の等価回路図である。

【図12】図9の双方向ホトサイリスタ2で遅れ電圧モードの誤動作の原因と考えられる寄生的な抵抗およびコンデンサの発生状態を示す簡略化した断面図である。

【図13】図12に示す寄生的な抵抗および容量によって形成される微分回路の構成を示す電気回路図である。

【図14】図13の微分回路にノイズパルスを与えると時の入出力電圧変化を示すグラフである。

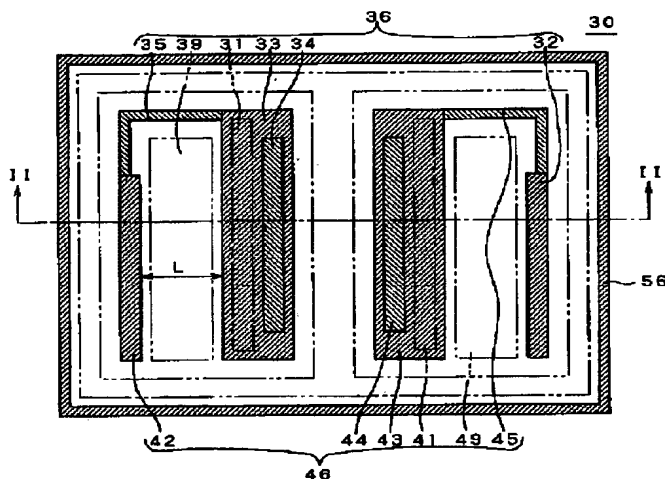
【符号の説明】

29 N型シリコン基板

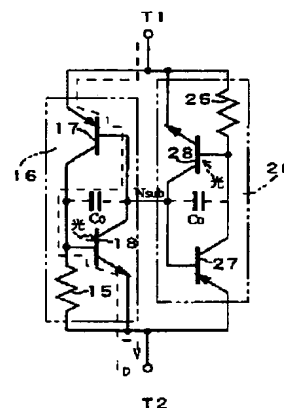
30, 80 双方向ホトサイリスタ

- * 31, 41 Pゲート受光部
32, 42 アノード拡散領域
33, 43 Pゲート拡散領域
35, 45 ゲート抵抗領域
36, 46, 86, 96 サイリスタ
37, 47 PNPトランジスタ
38, 48 NPNトランジスタ
39, 49 フィールド受光部
56 チャンネルストップ用領域
57 N型拡散層
58 Al配線
59 SiO₂膜
60, 61 酸素ドーパ半絶縁膜
62 P反転
63 空乏層
70 点呼用SSR
71 LED
72 メイン双方向サイリスタ
77 電源
78 負荷
79 ノイズ発生器

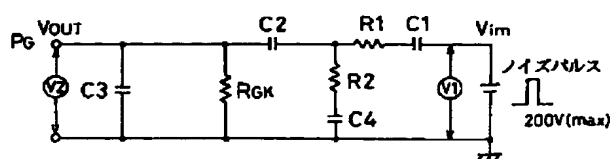
【図1】



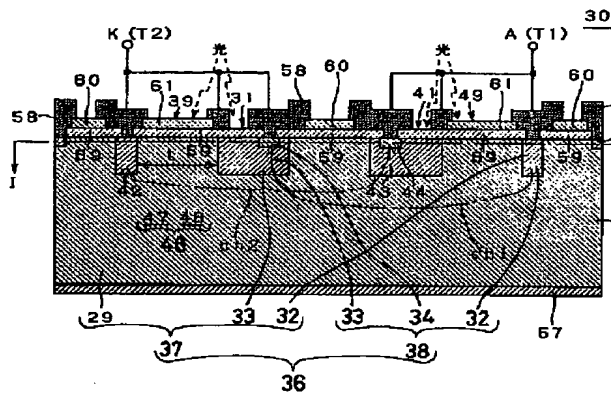
【図11】



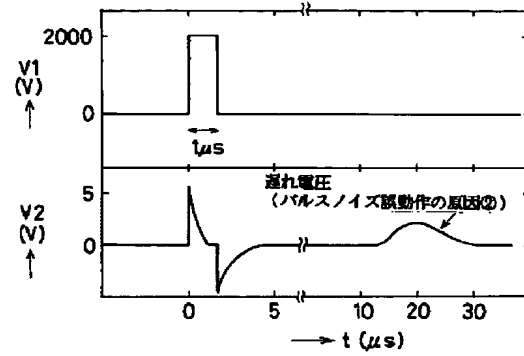
【図13】



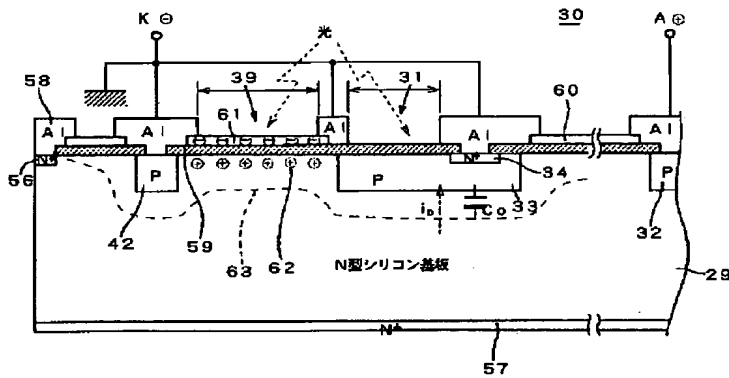
【図2】



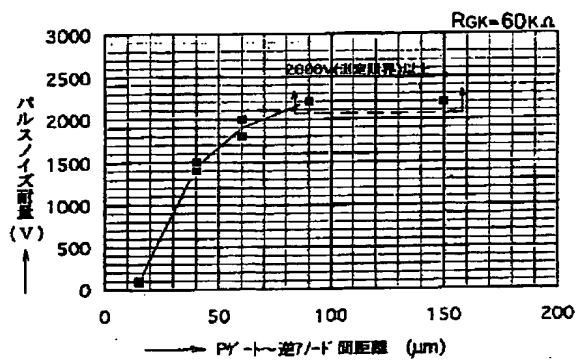
【図14】



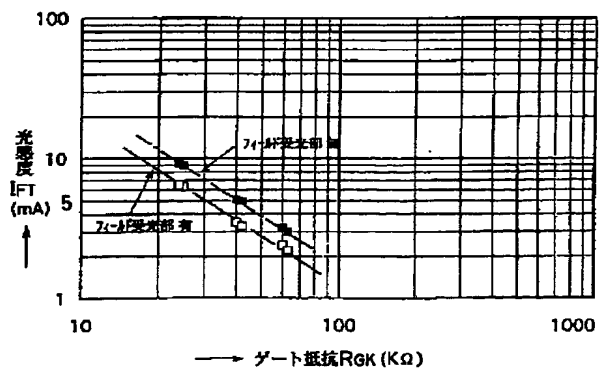
【図3】



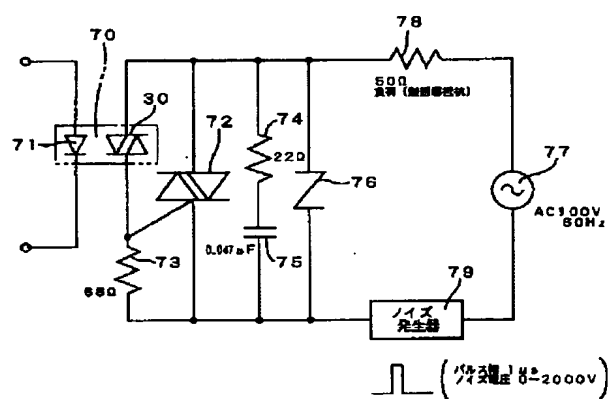
【図4】



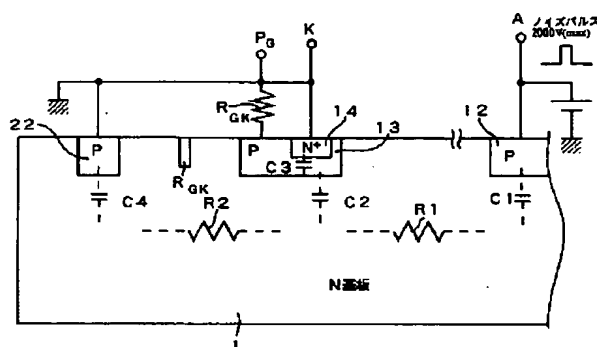
【図5】



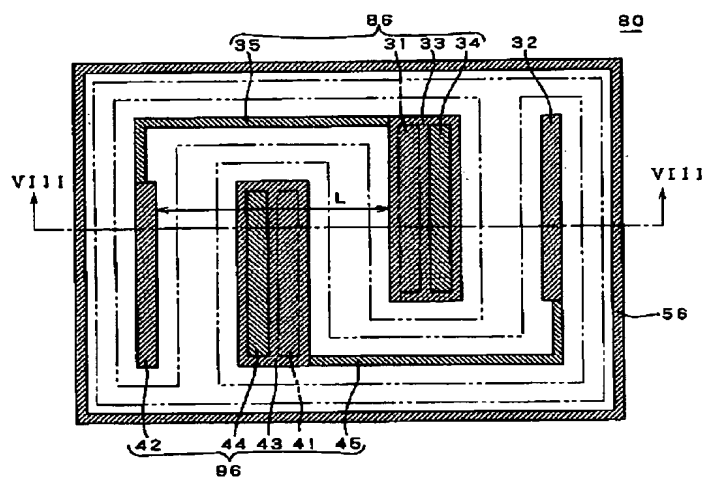
【図6】



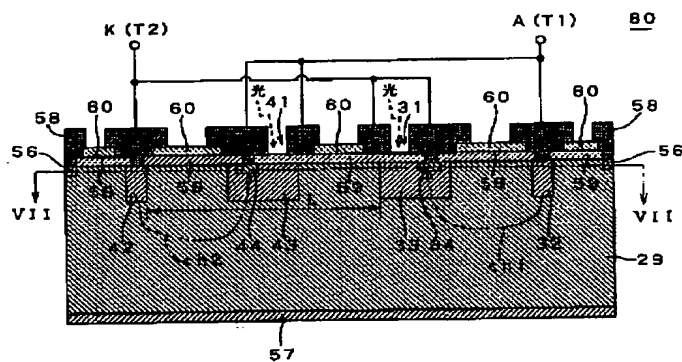
【図12】



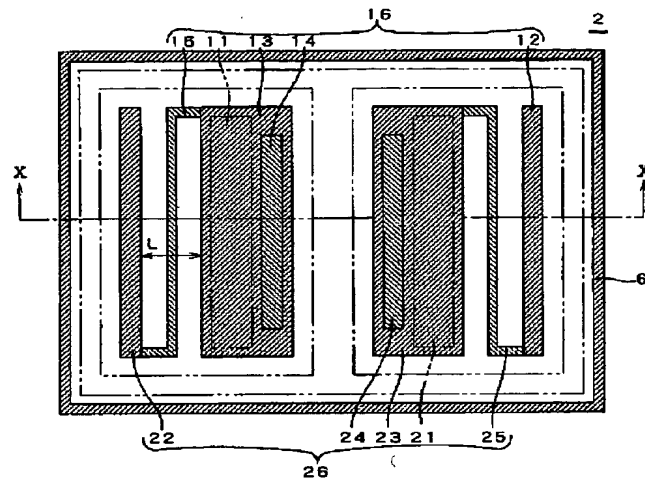
【図7】



【図8】



【図9】



【図10】

